

COMPRESSION-BONDED SEMICONDUCTOR DEVICE

Patent Number: JP11260979
Publication date: 1999-09-24
Inventor(s): YOSHIDA TAKAHIKO; SHIOZAWA MASAHIRO; HIRAI YASUYOSHI
Applicant(s):: NIPPON SOKEN INC; DENSO CORP
Requested Patent: ☐ JP11260979
Application Number: JP19980058183 19980310
Priority Number(s):
IPC Classification: H01L23/48
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the slide due to the thermal expansion difference between a semiconductor element and heat buffer board, by inserting an Si heat buffer member between an electrode conducting the semiconductor element and electrode block.

SOLUTION: An element part 1 is formed by forming the front and back surfaces 1b, 1c of a semiconductor element 1a composed of a power semiconductor element such as thyristor as electrode parts having Al or Au electrodes. An Si bulk material-made heat buffer plate 2 is disposed on the front surface 1b of the element part 1 which is sandwiched by Cu electrode plates 3, 4 to which a substance B, P or the like to reduce the electric resistivity is added to ensure the conduction between the element part 1 and the electrode plates 3. Thus, it is possible to reduce the slide due to the thermal expansion quantity difference between the semiconductor element 1a and heat buffer board 2.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-260979

(43)公開日 平成11年(1999)9月24日

(51)Int.Cl.⁹
H 0 1 L 23/48

識別記号

F I
H 0 1 L 23/48

G

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21)出願番号 特願平10-58183

(22)出願日 平成10年(1998)3月10日

(71)出願人 000004695

株式会社日本自動車部品総合研究所
愛知県西尾市下羽角町岩谷14番地

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 吉田 貴彦

愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内

(72)発明者 塩澤 方浩

愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内

(74)代理人 弁理士 伊藤 洋二 (外1名)

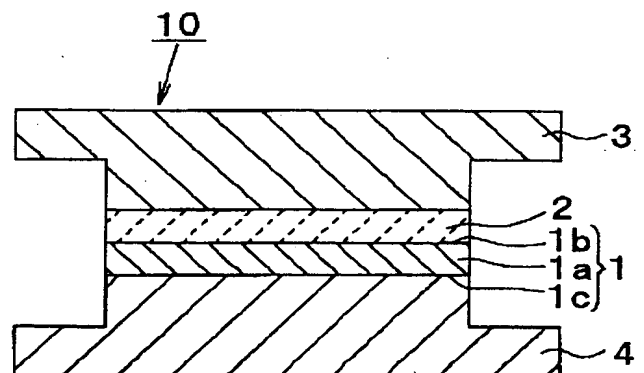
最終頁に続く

(54)【発明の名称】 圧接型半導体装置

(57)【要約】

【課題】 圧接型半導体装置において、半導体素子と熱緩衝板との熱膨張量の差による摺動を極力小さくし、安定した接触状態を保つ。

【解決手段】 圧接型半導体装置10は、表裏面1b及び1cに電極が形成された半導体素子1aからなる素子部1を備え、この半導体素子1aの表裏面1b、1cに電極板3、4を圧接してなる。さらに、半導体素子1aの表面1bと電極板3との間には、シリコン(Si)からなる熱緩衝板2が介在されている。



- 1: 素子部
- 1a: 半導体素子
- 1b: 半導体素子の表面
- 1c: 半導体素子の裏面
- 2: 熱緩衝板
- 3, 4: 電極板
- 10: 圧接型半導体装置

【特許請求の範囲】

【請求項1】 半導体素子(1a)と、この半導体素子(1a)と導通する電極部(1b、1c)とを有する素子部(1)を備え、前記素子部(1)の前記電極部(1b、1c)に電極ブロック(3、4)を圧接してなる圧接型半導体装置において、前記電極部(1b)と前記電極ブロック(3)との間に、シリコン(Si)からなる熱緩衝部材(2)が介在されていることを特徴とする圧接型半導体装置。

【請求項2】 前記熱緩衝部材(2)は、前記シリコン(Si)の電気抵抗率を下げるための物質が添加されていることを特徴とする請求項1または2に記載の圧接型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大電力を制御する半導体素子を圧接した状態で使用する圧接型半導体装置に関するものである。

【0002】

【従来の技術】この種の圧接型半導体装置は、一般に、半導体素子を、この半導体素子と導通する上下主電極にて電極ブロックで圧接することで挟持した構成としている。この圧接型半導体装置において、半導体素子と電極ブロックの熱歪みによる荷重集中や、熱膨張差による接触面、特に半導体素子表面の摩耗など半導体素子への物理的ダメージを小さくするために、熱緩衝板(熱緩衝部材)としてMo(モリブデン)やW(タングステン)を用いることが知られており、例えば、特開平8-330338号公報等においても、実際にMoが用いられている。

【0003】

【発明が解決しようとする課題】今日、この種の半導体素子においても大容量化が進んでおり、それに伴って素子の大型化や発熱量も増大し、半導体素子と熱緩衝板との熱膨張差や熱歪みの更なる低減が必要とされる。例えば、現在、圧接型半導体装置の熱緩衝板として多用されているMoやWは、化学便覧等の文献によれば、半導体素子の主材料であるシリコン(Si)にたいする線熱膨張率がMoで約23%、Wで約8%ある。

【0004】そのため、半導体素子として用いられるパワー素子(IGBTやサイリスタ等)等の冷熱サイクルが頻繁に繰り返される部分では、熱膨張量の差による半導体素子と熱緩衝板との摺動(位置ずれ)によって接触面、特に半導体素子表面が摩耗され、最悪の場合には素子が破壊されることが考えられる。しかも、今後、半導体素子の大容量化が進むと、さらに前述の懸念が大きくなる。

【0005】本発明は、上記問題点を鑑みてなされたものであり、圧接型半導体装置において、半導体素子と熱

緩衝板との熱膨張量の差による摺動を極力小さくし、安定した接触状態を保つことを目的とする。

【0006】

【課題を解決するための手段】本発明は、半導体素子の主材料がSiであることに着目して、上記課題の達成を図るものである。すなわち、請求項1および請求項2記載の発明においては、熱緩衝部材を半導体素子の主材料と同材質であるSiからなるものとしたことを特徴としている。

【0007】請求項1記載の圧接型半導体装置は、半導体素子(1a)とこの半導体素子(1a)と導通する電極部(1b、1c)とを有する素子部(1)を備え、素子部(1)の電極部(1b、1c)に電極ブロック

(3、4)を圧接してなり、更に、電極部(1b)と電極ブロック(3)との間に、シリコン(Si)からなる熱緩衝部材(2)が介在されていることを特徴としている。

【0008】ここで、半導体素子は1つでも複数でも構わない。また電極部とは、半導体素子が1つの場合には、半導体素子の電極形成部位を意味し、半導体素子が複数の場合には、複数の半導体素子の電極によって回路が形成されている部位(回路形成部)を意味する。さらに、電極ブロックによって圧接される電極部は、1つでも複数でも構わない。

【0009】本発明においては、熱緩衝部材(2)が半導体素子(1a)の主材料と同じSiであるため、両者の線熱膨張量の差はMoやWより小さく、ほとんど0と考えることができる。よって、冷熱サイクル等による素子部(1)と熱緩衝部材(2)との摺動を極力小さくし、安定した接触状態を保つことができ、半導体素子(1a)の摩耗や破壊を防止できる。

【0010】また、Siのバルク材の電気抵抗率は、純度に依存するが、その値は化学便覧(II-p494)によれば $4 \times 10^{-6} \Omega \text{cm}$ であり、Moの $5.2 \times 10^{-6} \Omega \text{cm}$ やWの $5.7 \times 10^{-6} \Omega \text{cm}$ と比べて小さく、電気伝導の面からもすぐれているため、半導体素子(1a)と電極ブロック(3)との導電性を確保しやすい。ところで、Si材料を熱緩衝板に用いることはサイリスタ等のパワー素子開発当時(1970年代)にも検討されたと考えられるが、当時はSiバルク材の電気抵抗率を下げるに必要なドーパント装置(能力)が十分でなく、コスト的にも問題があったと考えられる。しかし、近年の半導体製造用装置の能力向上により、上記の問題点も解決されたと考えられ、Siバルク材の半導体素子以外(付加価値の低い物)への適用もコスト的に可能になってきている。

【0011】請求項2記載の発明は、このような背景に鑑みてなされたものであり、上記熱緩衝部材(2)を、シリコン(Si)の電気抵抗率を下げるための物質が添加されたものとしたことを特徴としている。ここで電気

抵抗率を下げるための物質としては、具体的にはボロン(B) 或いはリン(P) 等があり、これらをSiにドーピングすることで、電気抵抗率を下げるができる。

【0012】 によって、本発明によれば、熱緩衝部材(2) を介して、半導体素子(1a) と電極ブロック(3) との間の導電性をより確実に確保することができる。なお、上記各手段の括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0013】

【発明の実施の形態】 以下、本発明を図に示す実施形態について説明する。図1は本発明の一実施形態を示すもので、圧接型半導体装置10の断面構成を示す説明図である。素子部1は1つの半導体素子1aから構成されたものとしている。本実施形態では半導体素子1aはIGBTやサイリスタ等のパワー半導体素子からなるものとしている。そして、この半導体素子1aの表裏面1b、1cは、例えばAl(アルミニウム)やAu(金)等からなる電極(図示せず)が形成された電極部として構成されている。

【0014】 なお、通常、半導体素子において、表面とは素子を構成する膜が形成される側の面(素子形成面)であり、裏面とは素子を構成する膜が形成されない側の面(非素子形成面)である。このことは、本実施形態においても同様であり、表面1bが素子形成面、裏面1cが非素子形成面をなす。また、上記パワー半導体素子においては、表面1bが半導体素子1aのエミッタ側電極部、裏面1cが半導体素子1aのコレクタ側電極部に該当する。

【0015】 そして、図1に示す様に、素子部1の表面1b側にSiのバルク材からなる熱緩衝板(熱緩衝部材)2を配置し、例えばCu(銅)からなる電極板(電極ブロック)3、4によって素子部1を挟持している。ここで、表面1bは上記のように素子形成面であり、特に、摩耗等を防止する必要があるため、本実施形態では熱緩衝板2を表面1b側に挿入している。

【0016】 熱緩衝板2は、電気抵抗率を下げるための物質であるボロン(B) 或いはリン(P) 等が添加されており、素子部1と電極板3との導通を確保している。ここで、電極板3、4はその外側より図示しない荷重発生装置(例えばスタックボルト等)によって荷重が印加され、設定する接触電気抵抗・熱抵抗が得られる様に荷重を保持している。なお、上記パワー半導体素子においては、電極板3がエミッタ側圧接電極板、電極板4がコレクタ側圧接電極板に該当する。

【0017】 ところで、このような構成を有する圧接型半導体装置10においては、熱緩衝板2が半導体素子1aの主材料と同じSiであるため、両者の線熱膨張量の差はMoやWより小さく、ほとんど \varnothing と考えることができる。よって、冷熱サイクル等による素子部1と熱緩衝板2との摺動を極力小さくし、安定した接触状態を保つ

ことができ、半導体素子の摩耗や破壊を防止できる。

【0018】 例えば、電極板3としてCu(銅)板を用いると、もし熱緩衝板2が介在しない構成とした場合には、Siに対するCuの線熱膨張率は約200%あるため熱膨張差による摺動(位置ずれ)は大きく、半導体素子1表面が多量に摩耗されることが予測される。しかし、Si板を熱緩衝板2として挿入しているため半導体素子1と熱緩衝板2の間には摺動(位置ずれ)が発生しないため、摩耗されるのは熱緩衝板2であり、半導体素子1a表面が摩耗せず、素子がダメージを受けることがない。

【0019】 また、本実施形態では、電極板3と素子部1との間に熱緩衝板2を介在させるだけの構成で、十分本発明の目的を達成することができ、構成を非常にシンプルにすることができる。

(他の実施形態) なお、素子部1、熱緩衝板2及び電極板3は直接当接していなくともよく、素子部1と熱緩衝板2との間、又は熱緩衝板2と電極板3との間に、導電性の軟らかい材料(例えば、軟金属、金属粉末等)を介在させてもよい。

【0020】 また、上記実施形態では、半導体素子1aの裏面1c側(非素子形成面側)のにも熱緩衝板2を、表面1b同様に介在させてもよい。それによって、半導体素子1aにおいて非素子形成面側からもダメージ低減できる。また、半導体素子の裏面側が半田接続されて、表面側のみが圧接されている場合、例えば、図1において電極板4に半導体素子1aの裏面1cが半田接続された圧接型半導体装置においても、素子部と電極板との間に、シリコン(Si)からなる熱緩衝板が介在されていれば、上記と同様の効果を奏する圧接型半導体装置が得られる。

【0021】 なお、上記素子部1において半導体素子1aは複数でもよい。この場合、例えば、素子部は、基板上に複数個の半導体素子1aによって回路が形成された構成とでき、この基板の回路形成面に熱緩衝板を介して電極板を圧接して、圧接型半導体装置を構成できる。ここにおいて、熱緩衝板により上記と同様の効果が得られるのは勿論である。

【0022】 以上説明した様に、本発明によれば圧接型半導体装置において半導体素子と素子圧接体である電極ブロックとの熱歪み、熱膨張による半導体素子へのダメージを極めて小さくすることができる。

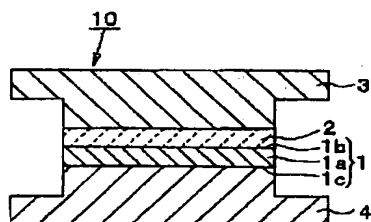
【図面の簡単な説明】

【図1】 本発明の一実施形態に係る圧接型半導体装置の断面構成を示す説明図である。

【符号の説明】

1…素子部、1a…半導体素子、1b…半導体素子の表面、1c…半導体素子の裏面、2…熱緩衝板、3、4…電極板。

【図 1】



- 1: 素子部
1a: 半導体素子
1b: 半導体素子の表面
1c: 半導体素子の裏面
2: 絶縁基板
3, 4: 電極板
10: 圧接型半導体装置

フロントページの続き

(72)発明者 平井 康義
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

THIS PAGE BLANK (USPTO)